



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06021323 A**

(43) Date of publication of application: 28 . 01 . 94.

(51) Int. Cl. **H01L 23/62**

(21) Application number: 04172774

(22) Date of filing: 30 . 06 . 92

(71) Applicant: **MITSUBISHI ELECTRIC CORP**(72) Inventor: **NAGATOMO AKIHIRO
YOSHIDA HIROSHI
NISHIYAMA MASAKI
OSHIMA SEIICHI**

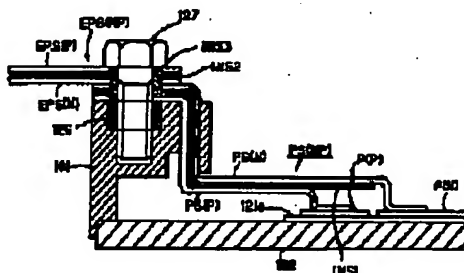
(54) SEMICONDUCTOR POWER MODULE

(57) Abstract:

PURPOSE: To suppress generation of a surge voltage on a power source line of an electric power control semiconductor element.

CONSTITUTION: A power module is composed of a plate-type conductor at a power source terminal PS(NP), and two power source terminals PS(P), PS(N), which transmit a positive power source potential and a negative source potential respectively, are provided in mutually contacted condition with an insulating sheet INS 1 composed of insulating resin between these two terminals. The thickness of the insulating sheet INS 1 is 0.5mm-1.5mm, for example. Therefore, inductance of a power source line leading to the power source terminal PS(N) is suppressed to low level. As a result, surge voltage generated between the power source terminal PS(P) and the PS(N) can be suppressed.

COPYRIGHT: (C)1994,JPO&Japio



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-21323

(43) 公開日 平成6年(1994)1月28日

(51) Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 23/62

H 0 1 L 23/56

A

審査請求 未請求 請求項の数3 (全 21 頁)

(21) 出願番号 特願平4-172774

(22) 出願日 平成4年(1992)6月30日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 長友 昭宏

福岡市西区今宿東一丁目1番1号 三菱電機株式会社福岡製作所内

(72) 発明者 吉田 博

福岡市西区今宿東一丁目1番1号 三菱セミコンエンジニアリング株式会社内

(72) 発明者 西山 正起

福岡市西区今宿東一丁目1番1号 三菱セミコンエンジニアリング株式会社内

(74) 代理人 弁理士 高田 守

最終頁に続く

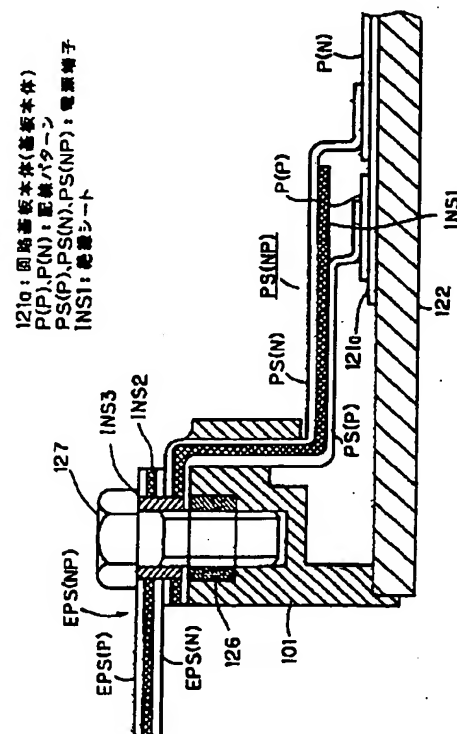
(54) 【発明の名称】 半導体パワーモジュール

(57) 【要約】

【目的】 電力制御半導体素子の電源ライン上でのサージ電圧の発生を抑制する。

【構成】 電源端子PS (NP) において、板状の導体で構成され、正及び負の電源電位をそれぞれ伝達する2つの電源端子PS (P)、PS (N) が、絶縁体の合成樹脂等で構成される絶縁シートINS1を間に挟んで、互いに密着して設けられている。絶縁シートINS1の厚さは、例えば0.5mm~1.5mmである。

【効果】 電源端子PS (P) から電力制御半導体素子を経て、電源端子PS (N) へ至る電源ラインのインダクタンスが低く抑えられるので、電源端子PS (P)、PS (N) 相互の間に発生するサージ電圧が抑制される。



【特許請求の範囲】

【請求項1】 半導体パワーモジュールであって、

(a) 電力を制御する電力制御半導体素子と、

(b) 回路基板と、

を備え、

前記回路基板が、

(b-1) 板状の絶縁体を有する基板本体と、

(b-2) 前記基板本体の主面の1に、その主要部が互いに隣接して設けられ、前記電力制御半導体素子へそれぞれ第1及び第2の電源電位を伝達する第1及び第2の配線パターンと、

を備え、
(c) 前記第1及び第2の配線パターンにそれぞれ接続される第1及び第2の電源端子であって、前記第1及び第2の配線パターンをそれぞれ流れる電源電流の方向が互いに実質的に反平行となるように、互いに近接して設けられる第1及び第2の電源端子、
を更に備える半導体パワーモジュール。

【請求項2】 半導体パワーモジュールであって、

(a) 電力を制御する電力制御半導体素子と、

(b) 前記電力制御半導体素子へ第1及び第2の電源電位を伝達する電源端子と、

を備え、

前記電源端子が、

(b-1) 実質的に板状の絶縁体を有する絶縁シートと、

(b-2) 前記第1及び第2の電源電位をそれぞれ伝達し、前記絶縁シートの第1及び第2の主面に沿ってそれぞれ取り付けられ、実質的に板状の第1及び第2の導電体と、
を備える半導体パワーモジュール。

【請求項3】 半導体パワーモジュールであって、

(a) 電力を制御する電力制御半導体素子と、

(b) 回路基板と、

を備え、

前記回路基板が、

(b-1) 板状の絶縁体を有する基板本体と、

(b-2) 前記基板本体の主面に平行で互いに異なる第1及び第2の面の中において、互いにその主要部同士が対向する領域にそれぞれ形成され、前記電力制御半導体素子へそれぞれ第1及び第2の電源電位を伝達する、第1及び第2の配線パターンと、

を備え、
(c) 前記第1及び第2の配線パターンにそれぞれ接続される第1及び第2の電源端子であって、前記第1及び第2の配線パターンをそれぞれ流れる電源電流の方向が互いに実質的に反平行となるように、互いに近接して設けられる第1及び第2の電源端子、
を更に備える半導体パワーモジュール。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体パワーモジュールに関するもので、特にサージ電圧の発生を抑制するための改良に関する。

【0002】

【従来の技術】 半導体パワーモジュールは、電力制御用の能動的な半導体素子を用いて電力を制御する回路を備える装置である。半導体パワーモジュールには、前記回路を主回路として当該主回路との間で信号を交換することにより、当該主回路の動作を制御する能動的な半導体素子を備える制御回路を更に備えたものも実用化されている。これらの半導体パワーモジュールは、モータ等の動作を制御するインバータ等に主として応用されている。

【0003】 図14は従来の半導体パワーモジュールにおける回路部分の平面図である。この装置において定格出力電力は約0.5kW、電力を反復的に遮断及び接続する周波数は約5kHzである。この装置の回路では、絶縁性の回路基板本体SB1～SB3の上面に、導電性の配線パターンP(P)、P(N)、P(U)、P(V)、P(W)、P(G1)～P(G6)が形成されている。電力制御半導体素子である絶縁ゲート型バイポーラトランジスタ素子(IGBT素子)Ta1～Ta3、及びTb1～Tb3が、配線パターンP(P)の上面に設けられ、IGBT素子Ta4～Ta6の各1、及びIGBT素子Tb4～Tb6の各1が、配線パターンP(U)、P(V)、及びP(W)の上面にそれぞれ設けられている。回路基板本体SB1～SB3の上面にそれぞれ形成される、配線パターンP(P)はジャンパーJ1、J2により電気的に互いに接続され、配線パターンP(N)も同様にJ3、J4により接続されている。配線パターンの中に斜線を施して描かれる部分は、配線パターンに接続される端子を表現している。多数の導体ワイヤwによって、IGBT素子と配線パターンの間、及び配線パターン同士が適宜、電気的に接続されている。

【0004】 配線パターンP(P)、P(N)はIGBT素子にそれぞれ正及び負の電源電位を伝達するとともに電源電流を供給する配線パターンである。配線パターンP(U)、P(V)、及びP(W)はそれぞれ3相の出力電流の各1が流れる配線パターンである。配線パターンP(G1)～P(G6)はIGBT素子のゲート電圧を伝達する配線パターンである。配線パターンP(P)、P(N)にそれぞれ接続されている電源端子PS(P)、PS(N)に、外部電源(図示しない)を接続することにより、電源電位及び電源電流がIGBT素子へ供給される。

【0005】 配線パターンP(P)及びP(N)は、互いに回路基板本体SB1～SB3上の両端付近に配置され、これらの配線パターンP(P)及びP(N)の間には、配線パターンP(U)などの他の配線パターン、及

びIGBT素子などが配置されている。また電源端子P S (P)、P S (N) も互いに離隔して、回路基板本体SB1～SB3の両端近傍に取り付けられている。

【0006】

【発明が解決しようとする課題】半導体パワーモジュールにおいては、その電力損失の低減、並びにモータなどの電力制御対象の高応答性及びその動作精度の向上等のために、電力を反復的に遮断および接続する周波数がより高いもの、例えば周波数が約10kHzないしそれ以上のものが要求されている。更に、産業用の大型モータ等の駆動に使用できる、より大きな電力、例えば約1kWないしそれ以上の電力を制御し得る半導体パワーモジュールが求められている。

【0007】ところで上述の電源電流はIGBT素子の動作に伴って断続的に流れる。それに伴って、電源端子P S (P) から配線パターンP (P)、IGBT素子、配線パターンP (N) を経て電源端子P S (N) へ至る電源電流の経路に寄生的に発生しているインダクタンスのために、この経路においてサージ電圧が発生する。反復的に遮断及び接続される電源電流値又はその周波数を高くする場合には、これらに比例して高いサージ電圧が発生する。過度に高いサージ電圧は、電氣的雑音の原因となって装置の回路の誤動作を引き起こし、更には回路に設けられる回路素子を破壊に至らしめる。

【0008】上述の従来の装置における電源電流の経路は、相当の大きさの寄生的なインダクタンスを有しており、このため従来の装置の構成を基礎として、動作速度が高く電流容量の高い電力制御用半導体素子を使用し、回路基板の配線の電流容量を高くする等の単なる設計変更を行うだけでは、サージ電圧による回路の誤動作あるいは破壊が避けられず、上述の大電力かつ高周波数の半導体パワーモジュールを構成することはできない。

【0009】この発明は、上述の問題点を解消するために行われたものであり、サージ電圧による回路の誤動作及び破壊がなく、高周波数で大電力を制御し得る、半導体パワーモジュールを提供することを目的とする。

【0010】

【課題を解決するための手段】この発明にかかる請求項1に記載の半導体パワーモジュールは、(a) 電力を制御する電力制御半導体素子と、(b) 回路基板と、を備え、前記回路基板が、(b-1) 板状の絶縁体を有する基板本体と、(b-2) 前記基板本体の主面の1に、その主要部が互いに隣接して設けられ、前記電力制御半導体素子へそれぞれ第1及び第2の電源電位を伝達する第1及び第2の配線パターンと、を備え、(c) 前記第1及び第2の配線パターンにそれぞれ接続される第1及び第2の電源端子であって、前記第1及び第2の配線パターンをそれぞれ流れる電源電流の方向が互いに実質的に反平行となるように、互いに近接して設けられる第1及び第2の電源端子、を更に備えるものである。

【0011】この発明にかかる請求項2に記載の半導体パワーモジュールは、(a) 電力を制御する電力制御半導体素子と、(b) 前記電力制御半導体素子へ第1及び第2の電源電位を伝達する電源端子と、を備え、前記電源端子が、(b-1) 実質的に板状の絶縁体を有する絶縁シートと、(b-2) 前記第1及び第2の電源電位をそれぞれ伝達し、前記絶縁シートの第1及び第2の主面に沿ってそれぞれ取り付けられ、実質的に板状の第1及び第2の導電体と、を備えるものである。

【0012】この発明にかかる請求項3に記載の半導体パワーモジュールは、(a) 電力を制御する電力制御半導体素子と、(b) 回路基板と、を備え、前記回路基板が、(b-1) 板状の絶縁体を有する基板本体と、(b-2) 前記基板本体の主面に平行で互いに異なる第1及び第2の面の中において、互いにその主要部同士が対向する領域にそれぞれ形成され、前記電力制御半導体素子へそれぞれ第1及び第2の電源電位を伝達する、第1及び第2の配線パターンと、を備え、(c) 前記第1及び第2の配線パターンにそれぞれ接続される第1及び第2の電源端子であって、前記第1及び第2の配線パターンをそれぞれ流れる電源電流の方向が互いに実質的に反平行となるように、互いに近接して設けられる第1及び第2の電源端子、を更に備えるものである。

【0013】

【作用】この発明における半導体パワーモジュールでは、電力制御半導体素子へ第1及び第2の電源電位をそれぞれ伝達する、第1及び第2の配線パターンがその主要部を互いに隣接するように基板本体の主面上に設けられており、更にこれらの配線パターンにそれぞれ接続される第1及び第2の電源端子は、第1及び第2の配線パターンをそれぞれ流れる電源電流の方向が互いに実質的に反平行になるように、互いに近接して設けられている。このため、第1の電源端子から第1の配線パターン、電力制御半導体素子、第2の配線パターン及び第2の電源端子へ至る電流の経路に寄生的に生ずるインダクタンスが低く抑えられる。その結果、電力制御半導体素子の動作に伴って生じる前記経路を流れる電流の断続的な変動がもたらすサージ電圧が抑制される(請求項1)。

【0014】この発明における半導体パワーモジュールでは、電力制御半導体素子へ第1及び第2の電源電位を伝達する電源端子が、実質的に板状の絶縁シートを挟んで形成される実質的に板状の第1及び第2の導電体を備えており、これら第1及び第2の導電体がそれぞれ第1及び第2の電源電位を伝達する。このため、第1の導電体から電力制御半導体素子を経て第2の導電体へ至る電流の経路に寄生的に生ずるインダクタンスが低く抑えられる。その結果、電力制御半導体素子の動作に伴って生じる前記経路を流れる電流の断続的な変動がもたらすサージ電圧が抑制される(請求項2)。

【0015】この発明における半導体パワーモジュールでは、電力制御半導体素子へそれぞれ第1及び第2の電源電位を伝達する第1及び第2の配線パターンが、回路基板において互いにその主要部同士が対向する領域に形成され、更にこれらの配線パターンにそれぞれ接続される第1及び第2の電源端子は、第1及び第2の配線パターンをそれぞれ流れる電源電流の方向が互いに実質的に反平行になるように、互いに近接して設けられている。このため、第1の電源端子から第1の配線パターン、電力制御半導体素子、第2の配線パターン及び第2の電源端子へ至る電流の経路に寄生的に存するインダクタンスが低く抑えられる。その結果、電力制御半導体素子の動作に伴って生じる前記経路を流れる電流の断続的な変動がもたらすサージ電圧が抑制される（請求項3）。

【0016】

【実施例】 【実施例1.】

<装置100の回路構成と動作>図2はこの発明の一実施例における半導体パワーモジュール100の回路110の主要な部分を示す概略回路図である。この装置100の定格出力電圧、及び最大出力電流は、例えばそれぞれ440V、及び30A~600Aである。また、出力電流を遮断及び接続する動作の周波数は、10kHz~20kHzである。

【0017】回路110は、2つの回路部分120、130を有している。主回路120は、電力を制御し、かつ出力する回路部分である。2個の電源端子PS(P)、PS(N)には、それぞれ直流の高電位P及び低電位Nが外部電源（図示しない）より印加される。すなわち、これらの電源端子PS(P)、PS(N)を通して、外部電源より主回路120へ電力が供給される。主回路120は、6個の電力制御用の能動的な素子であるIGBT素子T1~T6を備えており、入力された電力をU、V、W相の3相に対応して制御し、これらの制御された電力を各々3個の出力端子OUT(U)、OUT(V)、OUT(W)を通して、装置100の外部へ出力する。

【0018】制御回路130は、IGBT素子T1~T6の動作を制御する回路部分である。制御回路130は6個の能動的な半導体素子IC1~IC6を備えている。これらの半導体素子IC1~IC6は、それぞれ信号入力端子IN1~IN6へ外部より入力される入力信号VIN1~VIN6にตอบสนองして、IGBT素子T1~T6のゲートGへゲート電圧信号VG1~VG6を送出する。IGBT素子T1~T6は、これらのゲート電圧信号にตอบสนองして、コレクタCとエミッタEの間の電流の遮断及び接続を行う。

【0019】4個の独立した外部の直流電圧源（図示しない）を、高電位側（正）の電源端子VCC1~VCC4と、低電位側（負）の電源端子VEE1~VEE4の各1同士の対に接続することにより、これらの電源端子を介し

て半導体素子IC1~IC6へ直流電圧が供給される。負の電源端子VEE1~VEE3は、IGBT素子T1~T3のエミッタEと電気的に接続されており、負の電源端子VEE4は、互いに共通電位であるIGBT素子T4~T6のエミッタEに接続されている。

【0020】主回路120は相対的に大きい電流が流れる回路であり、大電流、及び大電流に伴う発熱に耐え得る回路設計が施される。一方、制御回路130は電圧信号を処理する回路であるため、当該回路に流れる電流は微小である。このため、制御回路130では、大電流に相応した回路設計は要しない。

【0021】<装置100の外観>図3は装置100の外観を示す斜視図である。装置100は合成樹脂等の絶縁体で構成されるケース101を備えており、ケース101の上面には蓋102が設けられている。主回路120の端子103と、制御回路130の端子104が、ケース101の上面の外部に露出している。

【0022】<主回路120の回路素子の配置>図4は、ケース101の所定の位置に収められた主回路の回路基板121の平面図である。回路基板121は4個の回路基板本体121a~121dを備えている。これらの回路基板本体121a~121dは、ケース101の底面を構成する銅ベース122の上面に配置されている。回路基板本体121a及び121bの上には、IGBT素子T1~T6、これらの各々に付随する受動的な回路素子D1~D6、及び配線パターンが設けられている。配線パターンP(P)、P(N)、P(U)、P(V)、及びP(W)は、それぞれ高電位P、低電位N、U相出力、V相出力、及びW相出力の配線パターンである。これらの配線パターンは、大電流が通過するのに十分な幅と厚さとを有している。各配線パターンは、それぞれに描かれる斜線部分において、対応する電源端子PS(P)、PS(N)、出力端子OUT(U)、OUT(V)、OUT(W)にそれぞれ接続される。

【0023】回路基板本体121c、121dは、IGBT素子T1~T6と制御回路130との間を中継する回路基板の本体部である。これらの回路基板本体上に形成された配線パターンにおいて、配線パターンP(E1)~P(E6)は各々IGBT素子T1~T6のエミッタEに接続されており、配線パターンP(G1)~P(G6)は各々IGBT素子T1~T6のゲートGに接続されている。IGBT素子T1~T6は、これらの素子の各1のコレクタCを流れる電流（コレクタ電流）の大きさを検出し、コレクタ電流に対応した電圧信号を送出する検出回路を備えている。配線パターンP(S1)~P(S6)は、各々IGBT素子T1~T6が備える検出回路に接続されており、コレクタ電流の検出信号を伝達する。配線パターンP(EX)は、その他の信号を伝達する配線パターンである。

【0024】これらの配線パターンは、それぞれに描か

7

れる斜線部分において、制御回路130へ接続される複数の導体ピン（後述する）の各1の一端に接続される。すなわち、これらの配線パターンは、導体ピンを介して制御回路130に電気的に接続される。多数の導体ワイヤwによって、上述の素子同士、あるいは素子と配線パターンの間が適宜、電気的に接続されている。

【0025】回路基板本体121aに形成される配線パターンP(P)、P(N)は、IGBT素子T1~T6に正及び負の電源電位を伝達するとともに電源電流を供給する配線パターンである。このため、配線パターンP(P)、P(N)には大きな電流が流れ、しかもこの電流はIGBT素子T1~T6の動作に伴って、間欠的にかつ急速度で変動する。一度に回路を構成する配線は、寄生的なインダクタンスを有しており、配線に大きな電流が流れしかも当該電流に急速度な変動があると、このインダクタンスのために、配線に高いサージ電圧が発生する。

【0026】この実施例の装置100では、大電流の急速度な間欠変動を伴う配線パターンP(P)、P(N)は、その大部分（主要部）が互いに隣接して回路基板本体121a上に形成されている。更に、配線パターンP(P)、P(N)にそれぞれ接続される電源端子PS(P)、PS(N)も、互いに近接して設けられているので、配線パターンP(P)、及びP(N)をそれぞれ流れる電源電流の方向は互いに略反平行となる。更に、電源端子PS(P)、及びPS(N)も上述のように互いに近接して設けられる。これらの結果、電源端子PS(P)から配線パターンP(P)、IGBT素子T1~T6、配線パターンP(N)を経て、電源端子PS(N)へ至る経路に寄生的に発生するインダクタンスが低く抑えられるので、電流の変動にともなってこれらの経路に発生するサージ電圧が低減される。

【0027】＜制御回路130の回路素子の配置＞図5は、制御回路130の回路基板131の平面図である。大電流に対応し得るように、制御回路130は発熱の大きい主回路120とは別個の基板の上に展開されている。回路基板131の上には、能動的な半導体素子IC1~IC7、これらの各々に付随する各種の受動的な回路素子EL、及び配線パターンが設けられている。電気的雑音による半導体素子IC1~IC7の誤動作を防止するために、これら半導体素子IC1~IC7の各1に近接して、これらに付随する回路素子ELが配置されている。すなわち、回路基板131の上面は図5において点線でその境界が描かれている複数のエリアに分割されていて、各エリアA1~A7の中に半導体素子IC1~IC7の各1とこれに付随する回路素子ELが配置されている。なお、半導体素子IC7は、半導体素子IC1~IC6とは異なる目的で設けられている。

【0028】回路基板131には配線パターンに接続されたスルーホールが設けられており、前述の導体ピンの

8

他の一端がこれらのスルーホールに接続されている。これらの導体ピンを介して、スルーホールTH(E1)~TH(E6)、TH(G1)~TH(G6)、TH(S1)~TH(S6)、TH(EX)は、各々前述の配線パターンP(E1)~P(E6)、P(G1)~P(G6)、P(S1)~P(S6)、P(EX)と接続されている。回路基板131には、配線パターンに接続され、更に前述の外部電源等に接続される端子104が設けられている。

【0029】回路基板121及び回路基板131上の回路素子は、これらの基板が後に図6において図示するように相互に上方と下方とに互いに対向して配置されたときに、半導体素子IC1~IC6の各1とこれに付随する回路素子ELとが、その制御対象であるIGBT素子T1~T6の各1とこれに付随する回路素子D1~D6の各1の略上方に位置するように配置される。例えば、回路基板131において半導体素子IC1とこれに付随する回路素子ELが配置されるエリアA1は、回路基板121におけるIGBT素子T1、回路素子D1などが存在する領域の略真上に位置するように設けられる。他のエリアA2~A7についても同様である。このことにより、回路基板121に展開される回路からの電気的雑音に起因する半導体素子IC1~IC6の誤動作を更に抑制することができる。

【0030】半導体素子IC7をも含めて半導体素子IC4~IC6の負の電源電位は、IGBT素子T4~T6の共通のエミッタ電位と同電位である。従って、エリアA4~A7の各1は、IGBT素子T4~T6の配置される領域全体の上に相応する回路基板131上の領域に含まれておれば十分である。

【0031】＜装置100の断面構造＞図6は装置100の正面断面図である。装置100をより小型化するために、回路基板131と回路基板121は、互いに装置100の上方と下方とに互いに対向して配置されている。上述のように複数の導体ピンPIによって、回路基板121上の回路と回路基板131上の回路とが電気的に適宜接続されている。回路基板本体121a~121dはセラミックあるいは窒化アルミニウムで作られ、その底面は全面にわたって銅箔によって覆われている。この銅箔の表面を銅ベース122の上面にハンダ付けすることにより、回路基板121は銅ベース122に固定されている。回路基板121の上面には配線パターンP(N)、P(W)等の配線パターンが形成されており、更にその上面にはIGBT素子T3、T6等の回路素子がハンダ付けされている。

【0032】装置100の底面を略全面にわたって占める銅ベース122は、主として放熱を目的として設けられる。すなわち、銅ベース122は、主回路120に発生する損失熱を装置100の外部へ放出し、主回路120及び制御回路130の温度の過度な上昇を防止する。

【0033】蓋102はその本体が合成樹脂等の電気的な絶縁体で構成され、その下面には略全面にわたって銅シート105が接着されている。銅シート105は電源端子PS(N)と電気的に接続されており、電源端子PS(N)以外の端子103、及び端子104とは絶縁されている。すなわち、銅シート105の電位は、装置100の回路の安定電位である低電位Nと同じ電位に保たれている。このため、銅シート105は電磁輻射雑音に対して遮蔽の効果を奏する。すなわち銅シート105は、電磁輻射雑音の侵入を抑制して制御回路130等の誤動作を防止するとともに、主回路120等で発生する電磁輻射雑音が装置100の外部へ漏洩するのを抑制する。

【0034】装置100を使用する際には、装置100に接続される外部電源その他の外部装置が、100に近接して設けられる。しかしながら、損失熱の大きい回路基板121が配置される装置100の底面には、前述の通り放熱設計が施されているために、外部装置は装置100の上面に設置される。端子103、104が装置100の上面に設けられているのは、この理由による。端子103に接続される外部装置は特に強い電気的雑音の発生源であり、この電気的雑音が制御回路130へ侵入して制御回路130の誤動作を招くおそれがある。上述の蓋102に銅シート105を設ける構成は、この電気的雑音の制御回路130への侵入を効果的に遮蔽する。

【0035】【実施例2.】この発明の第2の実施例における半導体パワーモジュール200は、第1の実施例における装置100において更に、電源端子PS(P)、PS(N)をサージ電圧が発生しにくい構成としたものである。

【0036】＜主回路120の配線パターンの配置＞図7は装置200において、ケース101の所定の位置に収納された主回路の回路基板121の平面図である。装置200の回路110の主要部は、図2の概略回路図に示すとおりであり、装置100と同様である。回路基板121において配線パターンP(P)、P(N)は、装置100におけると同様に、相互に近接して回路基板121a上に形成されている。

【0037】図8は電源端子PS(P)、PS(N)と配線パターンP(P)、P(N)の接続部分を示す拡大部分平面図である。図8に示すように、電源端子PS(P)、及びPS(N)は共に、1つの電源端子PS(NP)に組み込まれている。外部電源端子EPS(NP)は、電源端子PS(NP)に電気的に接続される端子であり、外部電源と電源端子PS(NP)とを媒介する。

【0038】＜電源端子PS(NP)の構造＞図1は図8におけるA-A線に沿った断面図である。電源端子PS(NP)において、板状の導体で構成される2つの電源端子PS(P)、PS(N)が、絶縁体の合成樹脂等

で構成される板状の絶縁シートINS1を間に挟んで、互いに近接して設けられている。電源端子PS(P)、PS(N)は、配線パターンP(P)、P(N)にそれぞれ電気的に接続される。絶縁シートINS1の厚さは、例えば0.5mm~1.5mmである。このため、これらの電源端子PS(P)及びPS(N)をそれぞれ流れる電流は、絶縁シートINS1を隔てて相互にほぼ密着して流れ、しかもその流れる方向は互いに反平行である。その結果、電源端子PS(P)、配線パターンP(P)、IGBT素子T1~T6、配線パターンP(N)、及び電源端子PS(N)によって形成される経路に寄生的に発生するインダクタンスは、装置100におけるよりも更に小さくなる。このため、装置200では上述の経路に発生するサージ電圧が更に低減される。

【0039】電源端子PS(NP)には外部電源端子EPS(NP)が接続される。外部電源端子EPS(NP)も、インダクタンスを低く抑えるために、電源端子PS(NP)と同様に、板状の導体で構成される外部電源端子EPS(P)、EPS(N)が、絶縁体の合成樹脂等で構成される絶縁シートINS2を挟んで、互いに近接して設けられている。絶縁シートINS2の厚さは、絶縁シートINS1と同様である。ケース101の上面に埋設され、導体で構成されるナット126、及びナット126に螺合し同じく導体で構成されるボルト127とによって、電源端子PS(NP)と外部電源端子EPS(NP)とが接続されている。絶縁プッシングINS3は、円筒状の絶縁体であり、ボルト127と電源端子PS(P)、PS(N)、及び外部電源端子EPS(P)、EPS(N)の間を電気的に絶縁する。電源端子PS(P)と外部電源端子EPS(P)とは、互いに接触することにより電気的に接続されている。電源端子PS(N)と外部電源端子EPS(N)とは、共に導体であるナット126およびボルト127を介して電気的に接続されている。以上の構成により、外部電源端子EPS(P)及びEPS(N)を含めた前述の経路のインダクタンスは低く抑えられるので、この経路に発生するサージ電圧が低く抑えられる。

【0040】＜装置200の外観＞図9は装置200の外観を示す斜視図である。装置200では、装置100において個別に設けられる電源端子PS(P)、PS(N)の代わりに、1つの電源端子PS(NP)が、ケース101の上面の外部にその一部を露出して、設けられている。なお、図9において外部電源端子EPS(NP)は図示を省略している。

【0041】【実施例3.】図10はこの発明の第3の実施例における半導体パワーモジュール300の底面を形成する銅ベース322、及びその上に設けられ当該装置300の回路が備える回路基板321の平面図である。装置300は、図2の概略回路図における主回路120に相当する回路を備えている。一方、制御回路13

0に相当する回路は設けられていない。図10におけるB-B断面に沿った断面図を図11に示す。図11は各部品を分解して図示している。

【0042】回路基板321は7個の回路基板本体321a~321hを有している。各回路基板本体321a~321hは、セラミックあるいは窒化アルミニウムで作られ、その底面は略全面にわたってそれぞれ銅箔323a~323hで覆われている（銅箔323a、323b、323e、及び323hのみを図11に図示する）。銅箔323a、323c~323hの表面を銅ベース322の上面にハンダ付けすることにより、回路基板本体321a、323c~321hが銅ベース322に固定されている。装置300の底面を略全面にわたって占める銅ベース322は、主として放熱を目的として設けられる。すなわち、銅ベース322は、装置300の回路に発生する損失熱を装置300の外部へ放出し、回路の温度の過度な上昇を防止する。

【0043】回路基板本体321aの上面には、低電位Nを保持する配線パターンP(N)、並びにU、V、W各相の出力の配線パターンP(U)、P(V)、及びP(W)が形成されている。回路基板本体321bの上面には、高電位Pを保持する配線パターンP(P)、並びにU、V、W各相の出力の配線パターンP(U)、P(V)、及びP(W)にそれぞれ導体ワイヤwを介して電氣的に接続される配線パターンP1(U)、P1(V)、及びP1(W)が形成されている。回路基板本体321c~321hのそれぞれの上面には、配線パターンP(G1)~P(G6)が形成されている。これらの配線パターンP(G1)~P(G6)は、それぞれIGBT素子T1~T6のゲート電圧信号VG1~VG6を伝達する配線パターンである。

【0044】配線パターンP(P)の上面には、IGBT素子T1~T3、及び受動的な回路素子D1~D3が設けられており、配線パターンP(U)、P(V)、及びP(W)の各1の上面には、それぞれIGBT素子T4~T6、及び回路素子D4~D6がハンダ付けにより設置されている。各素子及び各配線パターンの間は導体ワイヤwによって適宜電氣的に接続されている。銅箔323bの表面を配線パターンP(P)の上面にハンダ付けすることにより、回路基板本体321bは回路基板本体321aの上面に固定されている。

【0045】配線パターンP(P)、P(N)、P(U)、P(V)、P(W)、及びP(G1)~P(G6)には、装置300の外部とこれらの配線パターンとの間の電氣的な接続を可能にする、電源端子PS(P)、PS(N)、出力端子OUT(U)、OUT(V)、OUT(W)、及び入力端子PS(G1)~PS(G6)がそれぞれ接続される。図10において斜線を施した部分において、これらの配線パターンと端子とが接続されている。

【0046】図12は装置300の外観斜視図である。ケース301の底面に銅ベース322が設けられている。ケース301の上面には上述の端子がその一部を外部に露出している。

【0047】図13は装置300の回路を流れる主要な電流の経路を図示する説明図である。図に示すように、電源端子PS(P)から供給される電源電流は、配線パターンP(P)を経て、IGBT素子T1~T3の各1に適時分岐し、分岐した電流の各1は配線パターンP1(U)、P1(V)、P1(W)の各1、配線パターンP(U)、P(V)、及びP(W)の各1を経て出力端子OUT(U)、OUT(V)、OUT(W)より外部へと流出する。更に、出力端子OUT(U)、OUT(V)、OUT(W)から電流が適時流入し、これらの電流はそれぞれ配線パターンP(U)、P(V)、及びP(W)を経て、配線パターンP(N)へ至って合流し、電源端子PS(N)へ戻る。

【0048】これらの電流は、IGBT素子T1~T6の動作に伴って断続的に流れる。このため、上述の電流の経路に寄生的に生じるインダクタンスが大きいと、上述の経路において高いサージ電圧が発生し、このサージ電圧が回路素子の誤動作及び破壊をもたらす。しかしながら、この実施例の装置300では図10及び図11に示したように、配線パターンP(P)と配線パターンP(N)とが、回路基板本体321bを挟んで、互いにほぼ密着に近い形で設けられている。これらの配線パターンは、大半の部分（主要部）が互に対向し合うような領域に形成されている。回路基板本体321bの厚さは、例えば0.5mm~1.5mmである。また、配線パターンP(P)、P(N)に接続される電源端子PS(P)、PS(N)は互いに近接して設けられている。これらの結果、配線パターンP(P)と配線パターンP(N)を流れる電流は、回路基板321bを隔てて相互に近接して流れ、しかもその流れる方向は配線パターンP(P)、P(N)の主要部において互いに逆方向である。このために、電源端子PS(P)から電源端子PS(N)へ至る上述の経路に形成される寄生的なインダクタンスは低く抑えられている。その結果、当該経路に発生するサージ電圧は低く抑えられ、回路素子の誤動作及び破壊が防止される。

【0049】

【発明の効果】この発明の半導体パワーモジュールでは、電力制御半導体素子へ第1及び第2の電源電位をそれぞれ伝達する、第1及び第2の配線パターンがその主要部を互いに隣接するように基板本体の主面上に設けられており、更にこれらの配線パターンにそれぞれ接続される第1及び第2の電源端子は、第1及び第2の配線パターンをそれぞれ流れる電源電流の方向が互いに実質的に反平行になるように、互いに近接して設けられている。このため、第1の電源端子から第1の配線パター

ン、電力制御半導体素子、第2の配線パターン及び第2の電源端子へ至る電流の経路に寄生的に存するインダクタンスが低く抑えられる。その結果、この発明の装置では、電力制御半導体素子の動作に伴って生じる前記経路を流れる電流の断続的な変動がもたらすサージ電圧が抑制されるために、回路素子の誤動作及び破壊を防止し得る効果がある(請求項1)。

【0050】この発明における半導体パワーモジュールでは、電力制御半導体素子へ第1及び第2の電源電位を伝達する電源端子が、実質的に板状の絶縁シートを挟んで形成される実質的に板状の第1及び第2の導電体を備えており、これら第1及び第2の導電体がそれぞれ第1及び第2の電源電位を伝達する。このため、第1の導電体から電力制御半導体素子を経て第2の導電体へ至る電流の経路に寄生的に存するインダクタンスが低く抑えられる。その結果、この発明の装置では、電力制御半導体素子の動作に伴って生じる前記経路を流れる電流の断続的な変動がもたらすサージ電圧が抑制されるために、回路素子の誤動作及び破壊を防止し得る効果がある(請求項2)。

【0051】この発明における半導体パワーモジュールでは、電力制御半導体素子へそれぞれ第1及び第2の電源電位を伝達する第1及び第2の配線パターンが、回路基板において互いにその主要部同士が対向する領域に形成され、更にこれらの配線パターンにそれぞれ接続される第1及び第2の電源端子は、第1及び第2の配線パターンをそれぞれ流れる電源電流の方向が互いに実質的に反平行になるように、互いに近接して設けられている。このため、第1の電源端子から第1の配線パターン、電力制御半導体素子、第2の配線パターン及び第2の電源端子へ至る電流の経路に寄生的に存するインダクタンスが低く抑えられる。その結果、この発明の装置では、電力制御半導体素子の動作に伴って生じる前記経路を流れる電流の断続的な変動がもたらすサージ電圧が抑制されるために、回路素子の誤動作及び破壊を防止し得る効果がある(請求項3)。

【図面の簡単な説明】

【図1】この発明の第2の実施例における電源端子とその周辺部分の断面図である。

【図2】この発明の一実施例における装置の回路図である。

【図3】この発明の一実施例における装置の外観斜視図である。

【図4】この発明の一実施例における主回路の回路基板とその周辺部分の平面図である。

【図5】この発明の一実施例における制御回路の回路基板の平面図である。

【図6】この発明の一実施例における装置の正面断面図である。

【図7】この発明の第2の実施例における回路基板とその周辺部分の平面図である。

【図8】この発明の第2の実施例における電源端子と配線パターンの接続部分の拡大部分平面図である。

【図9】この発明の第2の実施例における装置の外観斜視図である。

【図10】この発明の第3の実施例における回路基板とその周辺部分の平面図である。

【図11】図10のB-B線における断面図である。

【図12】この発明の第3の実施例における装置の外観斜視図である。

【図13】この発明の第3の実施例における回路を流れる主要な電流の経路を示す説明図である。

【図14】従来の装置における回路部分の平面図である。

【符号の説明】

100 半導体パワーモジュール

200 半導体パワーモジュール

300 半導体パワーモジュール

121 回路基板

121a~121d 回路基板本体(基板本体)

321 回路基板

321a~321h 回路基板本体(基板本体)

T1~T6 IGBT素子(電力制御半導体素子)

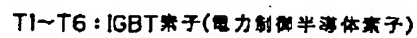
P(P)、P(N) 配線パターン

PS(P)、PS(N) 電源端子

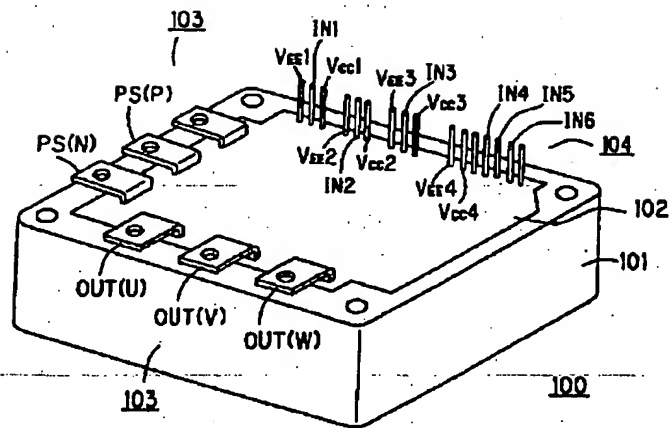
PS(NP) 電源端子

INS1 絶縁シート

121a: 回路基板本体(基板本体)
P(P)、P(N): 配線パターン
PS(P)、PS(N)、PS(NP): 電源端子
INS1: 絶縁シート

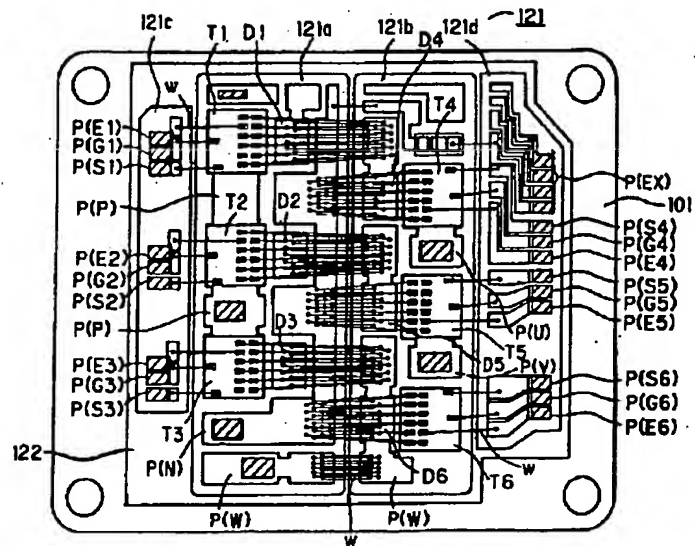


【図3】



100 : 半導体パワーモジュール

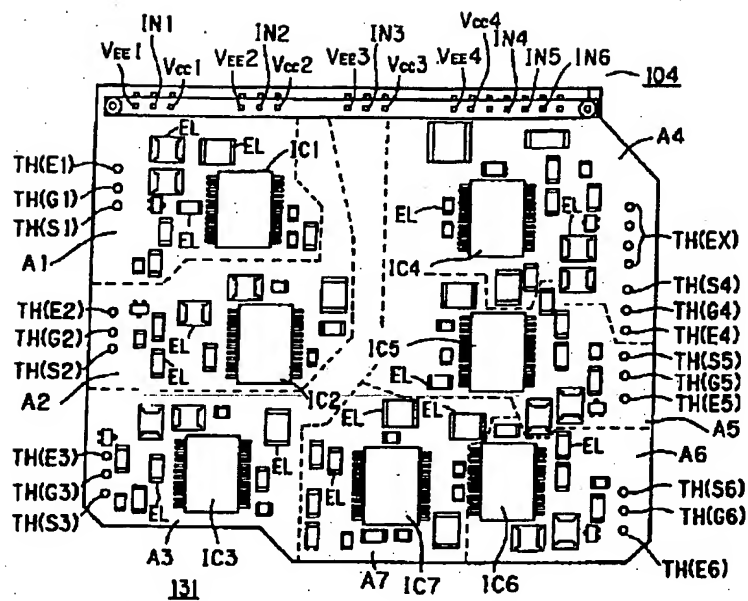
【図4】



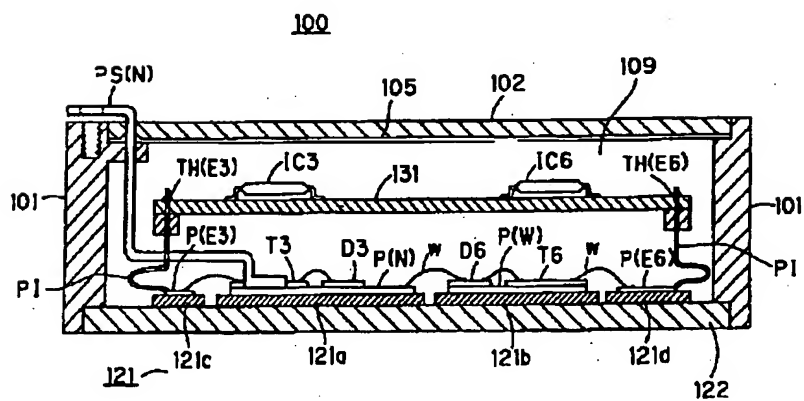
121 : 回路基板

121a~121d : 回路基板本体(基板本体)

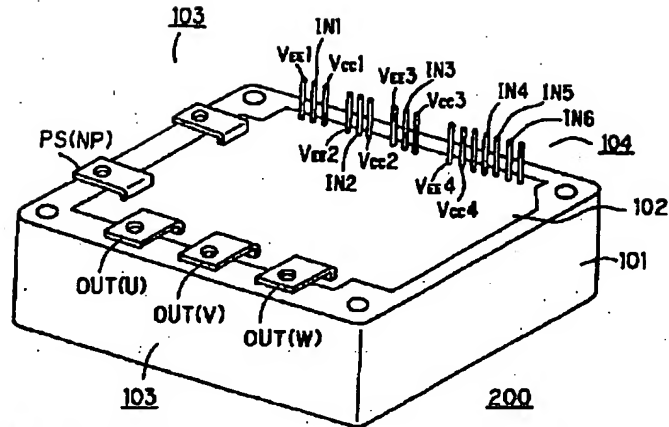
【图 5】



【图6】

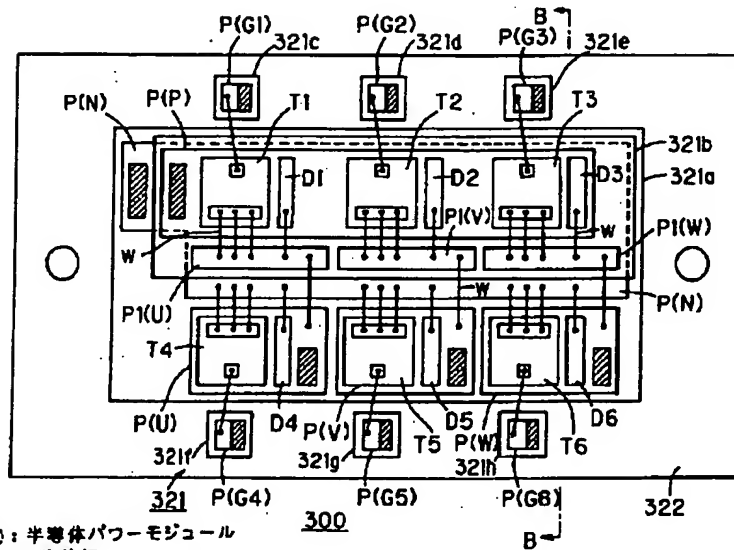


【図9】



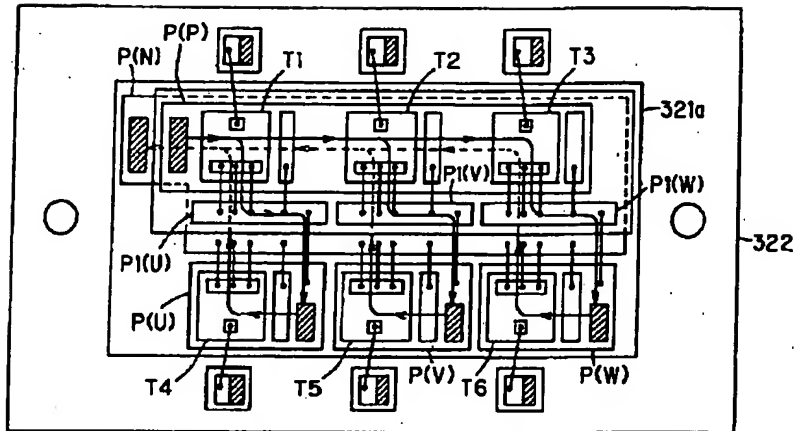
200 : 半導体パワーモジュール

【図10】

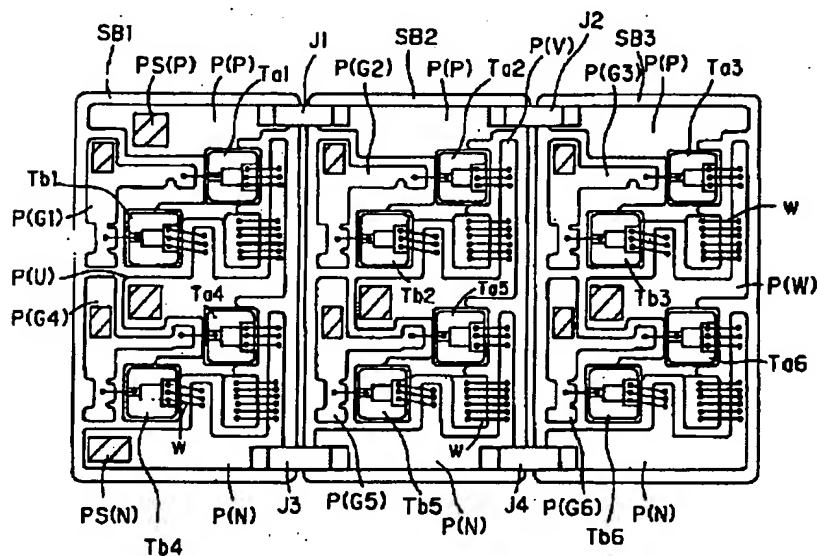


300 : 半導体パワーモジュール
 321 : 回路基板
 321a~321h : 回路基板本体(基板本体)

【図13】



【図14】



【手続補正書】

【提出日】平成5年3月30日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 半導体パワーモジュールであって、

(a) 電力を制御する電力制御半導体素子と、

(b) 回路基板と、

を備え、

前記回路基板が、

(b-1) 板状の絶縁体を有する基板本体と、

(b-2) 前記基板本体の主面の1に、その主要部が互いに隣接して設けられ、前記電力制御半導体素子へそれぞれ第1及び第2の電源電位を伝達する第1及び第2の配線パターンと、

を備え、

(c) 前記第1及び第2の配線パターンにそれぞれ接続される第1及び第2の電源端子であって、前記第1及び

第2の配線パターンをそれぞれ流れる電源電流の方向が互いに実質的に反平行となるように、互いに近接して設けられる第1及び第2の電源端子、

を更に備える半導体パワーモジュール。

【請求項2】 半導体パワーモジュールであって、

(a) 電力を制御する電力制御半導体素子と、

(b) 前記電力制御半導体素子へ第1及び第2の電源電位を伝達する電源端子と、

を備え、

前記電源端子が、

(b-1) 実質的に板状の絶縁体を有する絶縁シートと、

(b-2) 前記第1及び第2の電源電位をそれぞれ伝達し、前記絶縁シートの第1及び第2の主面に沿ってそれぞれ取り付けられ、実質的に板状を成す第1及び第2の導電体であって、当該第1の導電体を流れる電源電流の方向と、当該第2の導電体を流れる電源電流の方向とが、互いに実質的に反平行となる第1及び第2の導電体と、

を備える半導体パワーモジュール。

【請求項3】 半導体パワーモジュールであって、

(a) 電力を制御する電力制御半導体素子と、

(b) 回路基板と、

を備え、

前記回路基板が、

(b-1) 板状の絶縁体を有する基板本体と、

(b-2) 前記基板本体の主面に平行で互いに異なる第1及び第2の面の中において、互いにその主要部同士が対向する領域にそれぞれ形成され、前記電力制御半導体素子へそれぞれ第1及び第2の電源電位を伝達する、第1及び第2の配線パターンと、

を備え、

(c) 前記第1及び第2の配線パターンにそれぞれ接続される第1及び第2の電源端子であって、前記第1及び第2の配線パターンをそれぞれ流れる電源電流の方向が互いに実質的に反平行となるように、互いに近接して設けられる第1及び第2の電源端子、

を更に備える半導体パワーモジュール。

【請求項4】 半導体パワーモジュールであって、

(a) 電力を制御する電力制御半導体素子と、

(b) 前記電力制御半導体素子へ第1及び第2の電源電位を伝達する電源端子と、

を備え、

前記電源端子が、

(b-1) 実質的に板状の絶縁体を有する第1の絶縁シートと、

(b-2) 前記第1及び第2の電源電位をそれぞれ伝達し、前記第1の絶縁シートの第1及び第2の主面に沿ってそれぞれ取り付けられ、実質的に板状を成す第1及び第2の導電体であって、当該第1の導電体を流れる電源

電流の方向と、当該第2の導電体を流れる電源電流の方向とが、互いに実質的に反平行となる第1及び第2の導電体と、

を備え、

(c) 電気良導体を有する締結部材によって、前記電源端子に締結された外部電源端子、

を更に備え、

前記外部電源端子が、

(c-1) 実質的に板状の絶縁体を有する第2の絶縁シートと、

(c-2) 前記第1及び第2の電源電位をそれぞれ伝達し、前記第2の絶縁シートの第3及び第4の主面に沿ってそれぞれ取り付けられ、実質的に板状を成す第3及び第4の導電体であって、当該第3の導電体を流れる電源電流の方向と、当該第4の導電体を流れる電源電流の方向とが、互いに実質的に反平行となる第3及び第4の導電体と、

を備え、

前記電源端子と前記外部電源端子とが、前記第1の導電体と前記第3の導電体とが当接し合うように、前記締結部材によって締結され、前記第1の導電体と前記第3の導電体とは、前記締結部材によって互いに押圧付勢されて当接することにより、互いに電氣的に接続され、前記第2の導電体は当該締結部材に押圧付勢されつつ当接し、前記第4の導電体は当該締結部材に押圧付勢されつつ当接し、前記第2の導電体と前記第4の導電体とは、前記締結部材を介して互いに電氣的に結合された、半導体パワーモジュール。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正内容】

【0011】この発明にかかる請求項2に記載の半導体パワーモジュールは、(a) 電力を制御する電力制御半導体素子と、(b) 前記電力制御半導体素子へ第1及び第2の電源電位を伝達する電源端子と、を備え、前記電源端子が、(b-1) 実質的に板状の絶縁体を有する絶縁シートと、(b-2) 前記第1及び第2の電源電位をそれぞれ伝達し、前記絶縁シートの第1及び第2の主面に沿ってそれぞれ取り付けられ、実質的に板状を成す第1及び第2の導電体であって、当該第1の導電体を流れる電源電流の方向と、当該第2の導電体を流れる電源電流の方向とが、互いに実質的に反平行となる第1及び第2の導電体と、を備えるものである。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正内容】

【0012】この発明にかかる請求項3に記載の半導体パワーモジュールは、(a)電力を制御する電力制御半導体素子と、(b)回路基板と、を備え、前記回路基板が、(b-1)板状の絶縁体を有する基板本体と、(b-2)前記基板本体の主面に平行で互いに異なる第1及び第2の面の中において、互いにその主要部同士が対向する領域にそれぞれ形成され、前記電力制御半導体素子へそれぞれ第1及び第2の電源電位を伝達する、第1及び第2の配線パターンと、を備え、(c)前記第1及び第2の配線パターンにそれぞれ接続される第1及び第2の電源端子であって、前記第1及び第2の配線パターンをそれぞれ流れる電源電流の方向が互いに実質的に反平行となるように、互いに近接して設けられる第1及び第2の電源端子、を更に備えるものである。この発明にかかる請求項4に記載の半導体パワーモジュールは、(a)電力を制御する電力制御半導体素子と、(b)前記電力制御半導体素子へ第1及び第2の電源電位を伝達する電源端子と、を備え、前記電源端子が、(b-1)実質的に板状の絶縁体を有する第1の絶縁シートと、(b-2)前記第1及び第2の電源電位をそれぞれ伝達し、前記第1の絶縁シートの第1及び第2の主面に沿ってそれぞれ取り付けられ、実質的に板状を成す第1及び第2の導電体であって、当該第1の導電体を流れる電源電流の方向と、当該第2の導電体を流れる電源電流の方向とが、互いに実質的に反平行となる第1及び第2の導電体と、を備え、(c)電気的導体を有する締結部材によって、前記電源端子に締結された外部電源端子、を更に備え、前記外部電源端子が、(c-1)実質的に板状の絶縁体を有する第2の絶縁シートと、(c-2)前記第1及び第2の電源電位をそれぞれ伝達し、前記第2の絶縁シートの第3及び第4の主面に沿ってそれぞれ取り付けられ、実質的に板状を成す第3及び第4の導電体であって、当該第3の導電体を流れる電源電流の方向と、当該第4の導電体を流れる電源電流の方向とが、互いに実質的に反平行となる第3及び第4の導電体と、を備え、前記電源端子と前記外部電源端子とが、前記第1の導電体と前記第3の導電体とが当接し合うように、前記締結部材によって締結され、前記第1の導電体と前記第3の導電体とは、前記締結部材によって互いに押圧付勢されて当接することにより、互いに電気的に接続され、前記第2の導電体は当該締結部材に押圧付勢されつつ当接し、前記第4の導電体は当該締結部材に押圧付勢されつつ当接し、前記第2の導電体と前記第4の導電体とは、前記締結部材を介して互いに電気的に結合された、半導体パワーモジュール。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正内容】

【0014】この発明における半導体パワーモジュールでは、電力制御半導体素子へ第1及び第2の電源電位を伝達する電源端子が、実質的に板状の絶縁シートを挟んで形成される実質的に板状の第1及び第2の導電体を備えており、これら第1及び第2の導電体がそれぞれ第1及び第2の電源電位を伝達する。しかも、これらの導電体を流れる電源電流の向きは、互いに実質反平行である。このため、第1の導電体から電力制御半導体素子を経て第2の導電体へ至る電流の経路に寄生的に存するインダクタンスが低く抑えられる。その結果、電力制御半導体素子の動作に伴って生じる前記経路を流れる電流の断続的な変動がもたらすサージ電圧が抑制される（請求項2）。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正内容】

【0015】この発明における半導体パワーモジュールでは、電力制御半導体素子へそれぞれ第1及び第2の電源電位を伝達する第1及び第2の配線パターンが、回路基板において互いにその主要部同士が対向する領域に形成され、更にこれらの配線パターンにそれぞれ接続される第1及び第2の電源端子は、第1及び第2の配線パターンをそれぞれ流れる電源電流の方向が互いに実質的に反平行になるように、互いに近接して設けられている。このため、第1の電源端子から第1の配線パターン、電力制御半導体素子、第2の配線パターン及び第2の電源端子へ至る電流の経路に寄生的に存するインダクタンスが低く抑えられる。その結果、電力制御半導体素子の動作に伴って生じる前記経路を流れる電流の断続的な変動がもたらすサージ電圧が抑制される（請求項3）。この発明における半導体パワーモジュールでは、電力制御半導体素子へ第1及び第2の電源電位を伝達する電源端子が、実質的に板状の絶縁シートを挟んで形成される実質的に板状の第1及び第2の導電体を備えており、これら第1及び第2の導電体がそれぞれ第1及び第2の電源電位を伝達する。しかも、これらの導電体を流れる電源電流の向きは、互いに実質反平行である。外部電源と電源端子との間を媒介する外部電源端子も同様の構造を有する。このため、外部電源端子の第3の導電体から電力制御半導体素子を経て第4の導電体へ至る電流の経路に寄生的に存するインダクタンスが低く抑えられる。その結果、電力制御半導体素子の動作に伴って生じる前記経路を流れる電流の断続的な変動がもたらすサージ電圧が抑制される。しかも外部電源端子と電源端子とは締結部材によって簡単に接続される。また、第1の導電体と第3の導電体とが当接し合い、第2の導電体と第4の導電体とは締結部材を介して結合するので、電源端子と外部電源端子との間の接続部分におけるインダクタンスも低く

抑えられる（請求項4）。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0039

【補正方法】変更

【補正内容】

【0039】電源端子PS（NP）には外部電源端子EPS（NP）が接続される。外部電源端子EPS（NP）も、インダクタンスを低く抑えるために、電源端子PS（NP）と同様に、板状の導体で形成される外部電源端子EPS（P）、EPS（N）が、絶縁体の合成樹脂等で形成される絶縁シートINS2を挟んで、互いに近接して設けられている。絶縁シートINS2の厚さは、絶縁シートINS1と同様である。ケース101の上面に埋設され、導体で形成されるナット126、及びナット126に螺合し同じく導体で形成されるボルト127とによって、電源端子PS（NP）と外部電源端子EPS（NP）とが挟容されている。絶縁プッシングINS3は、円筒状の絶縁体であり、ボルト127と電源端子PS（P）、PS（N）、及び外部電源端子EPS（P）、EPS（N）の間を電気的に絶縁する。電源端子PS（N）と外部電源端子EPS（N）とは、互いに接触することにより電気的に接続されている。電源端子PS（P）と外部電源端子EPS（P）とは、共に導体であるナット126およびボルト127を介して電気的に接続されている。以上の形成により、外部電源端子EPS（P）及びEPS（N）を含めた前述の経路のインダクタンスは低く抑えられるので、この経路に発生するサージ電圧が低く抑えられる。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0046

【補正方法】変更

【補正内容】

【0046】図12は装置300の外観斜視図である。ケース301の底面に銅ベース322が設けられている。ケース301の上面には上述の端子がその一部を外部に露出している。電源端子PS（P）、PS（N）は、図1に示したように、電源端子PS（NP）として一体に形成されている。電源端子PS（NP）には、ボルト127を介して、外部電源端子EPS（NP）に接続されている。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0050

【補正方法】変更

【補正内容】

【0050】この発明における半導体パワーモジュールでは、電力制御半導体素子へ第1及び第2の電源電位を伝達する電源端子が、実質的に板状の絶縁シートを挟ん

で形成される実質的に板状の第1及び第2の導電体を備えており、これら第1及び第2の導電体がそれぞれ第1及び第2の電源電位を伝達する。しかも、これらの導電体を流れる電源電流の向きは、互いに実質反平行である。このため、第1の導電体から電力制御半導体素子を経て第2の導電体へ至る電流の経路に寄生的に存するインダクタンスが低く抑えられる。その結果、この発明の装置では、電力制御半導体素子の動作に伴って生じる前記経路を流れる電流の断続的な変動がもたらすサージ電圧が抑制されるために、回路素子の誤動作及び破壊を防止し得る効果がある（請求項2）。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0051

【補正方法】変更

【補正内容】

【0051】この発明における半導体パワーモジュールでは、電力制御半導体素子へそれぞれ第1及び第2の電源電位を伝達する第1及び第2の配線パターンが、回路基板において互いにその主要部同士が対向する領域に形成され、更にこれらの配線パターンにそれぞれ接続される第1及び第2の電源端子は、第1及び第2の配線パターンをそれぞれ流れる電源電流の方向が互いに実質的に反平行になるように、互いに近接して設けられている。このため、第1の電源端子から第1の配線パターン、電力制御半導体素子、第2の配線パターン及び第2の電源端子へ至る電流の経路に寄生的に存するインダクタンスが低く抑えられる。その結果、この発明の装置では、電力制御半導体素子の動作に伴って生じる前記経路を流れる電流の断続的な変動がもたらすサージ電圧が抑制されるために、回路素子の誤動作及び破壊を防止し得る効果がある（請求項3）。この発明における半導体パワーモジュールでは、電力制御半導体素子へ第1及び第2の電源電位を伝達する電源端子が、実質的に板状の絶縁シートを挟んで形成される実質的に板状の第1及び第2の導電体を備えており、これら第1及び第2の導電体がそれぞれ第1及び第2の電源電位を伝達する。しかも、これらの導体を流れる電源電流の向きは、互いに実質反平行である。外部電源と電源端子との間を媒介する外部電源端子も同様の構造を有する。このため、外部電源端子の第3の導電体から電力制御半導体素子を経て第4の導電体へ至る電流の経路に寄生的に存するインダクタンスが低く抑えられる。その結果、電力制御半導体素子の動作に伴って生じる前記経路を流れる電流の断続的な変動がもたらすサージ電圧が抑制されるので、回路素子の誤動作および破壊を防止し得る効果がある。しかも締結部材が用いられるので、外部電源端子と電源端子とは容易に接続し得る効果がある。更に、第1の導電体と第3の導電体とが当接し合い、第2の導電体と第4の導電体とは締結部材を介して結合するので、電源端子と外部電源端

子との間の接続部分におけるインダクタンスも低く抑えられる効果がある（請求項4）。

【手続補正10】

【補正対象書類名】図面

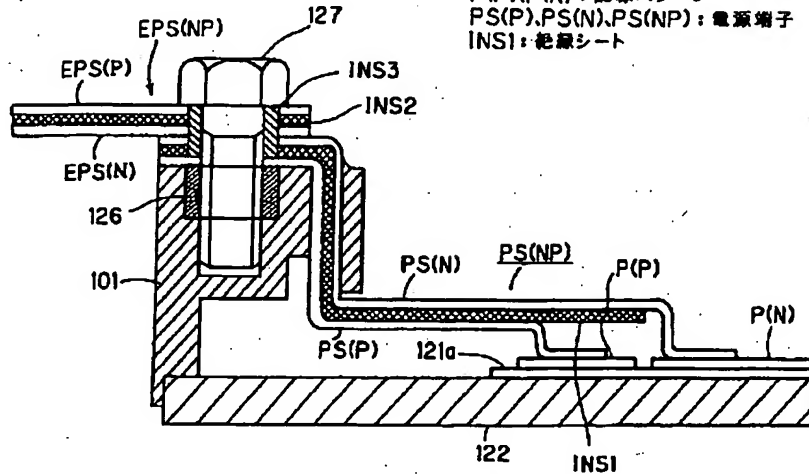
* 【補正対象項目名】図1

【補正方法】変更

【補正内容】

【図1】

121a: 回路基板本体(基板本体)
P(P), P(N): 配線パターン
PS(P), PS(N), PS(NP): 電源端子
INS1: 絶縁シート



【手続補正11】

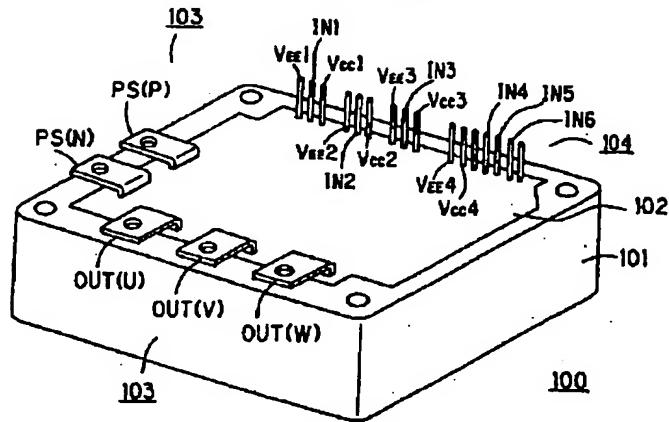
【補正対象書類名】図面

【補正対象項目名】図3

【補正方法】変更

【補正内容】

【図3】



100: 半導体パワーモジュール

【手続補正12】

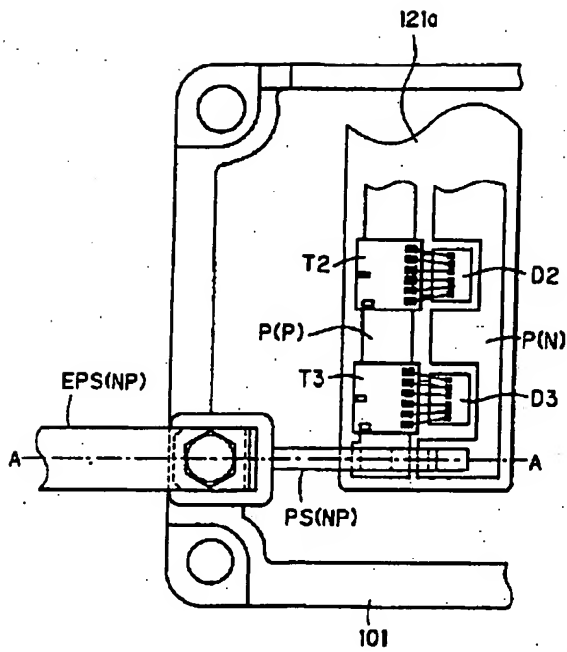
【補正対象書類名】図面

【補正対象項目名】図8

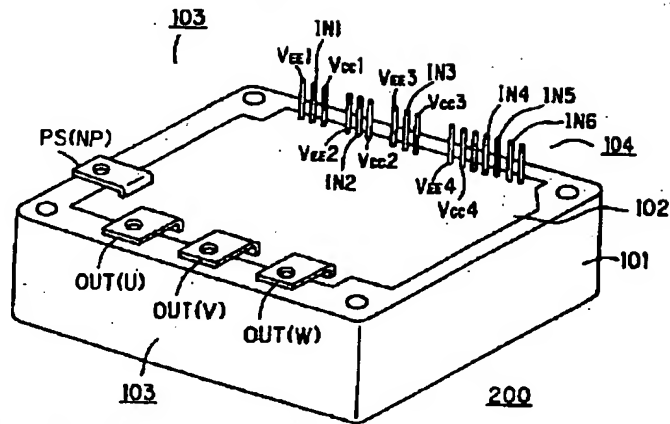
【補正方法】変更

【補正内容】

【図8】



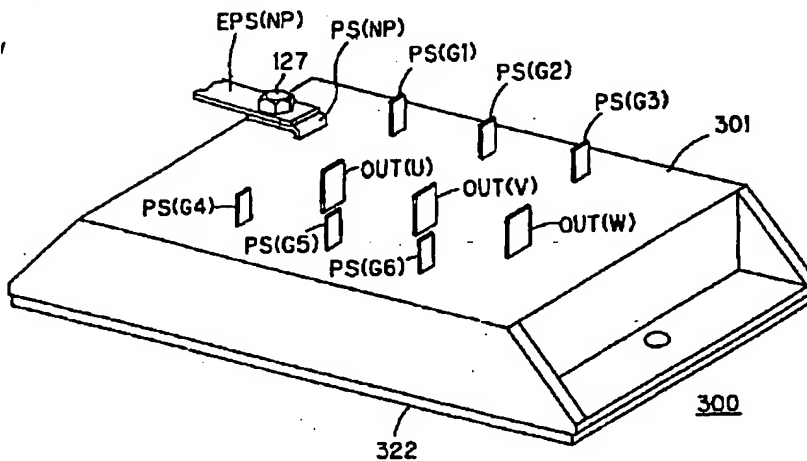
*【手続補正13】
 【補正対象書類名】図面
 【補正対象項目名】図9
 【補正方法】変更
 【補正内容】
 【図9】



200：半導体パワーモジュール

【手続補正14】
 【補正対象書類名】図面
 【補正対象項目名】図12

【補正方法】変更
 【補正内容】
 【図12】



フロントページの続き

(72)発明者 大島 征一

福岡市西区今宿東一丁目1番1号 三菱電
機株式会社福岡製作所内